

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-337007

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

H02M 3/155

G05F 1/56

H02H 7/12

(21)Application number : 09-145281

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 03.06.1997

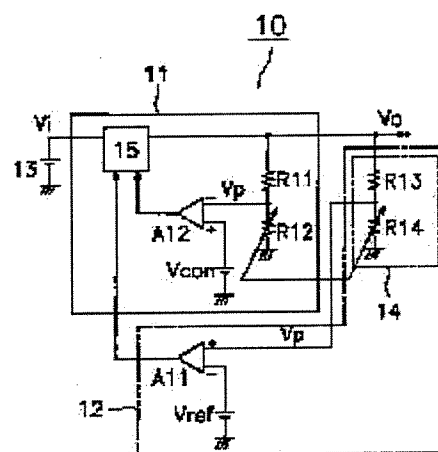
(72)Inventor : NOMA TAKASHI

## (54) DC-DC CONVERTER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a DC-DC converter which can be protected against abnormality even if the normal output voltage is varied.

**SOLUTION:** The DC-DC converter 10 comprises a DC-DC converter body 11 having a variable output voltage, and a protective circuit 12 therefor. The DC-DC converter body 11 converts the power supply voltage  $V_i$  from a DC power supply 13 into an output voltage  $V_o$  and produces an output voltage  $V_o$  varying continuously depending on the voltage division ratio determined by a fixed resistor R11 and a variable resistor R12 in the DC-DC converter body 11. The protective circuit 12 for the DC-DC converter body 11 comprises an output voltage converter 14 comprising a series circuit of a fixed resistor R13 and a variable resistor R14, and a comparator A11 having a non-inverted input (+) connected with the joint of the fixed resistor R13 and the variable resistor R14, an inverted input (-) connected with a reference voltage  $V_{ref}$ , and an output connected with an on/off controller 15 in the DC-DC converter body 11.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-337007

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 2 M 3/155

H 0 2 M 3/155

H

C

G 0 5 F 1/56

3 2 0

G 0 5 F 1/56

3 2 0 C

H 0 2 H 7/12

H 0 2 H 7/12

G

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21)出願番号 特願平9-145281

(22)出願日 平成9年(1997)6月3日

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 野間 隆嗣

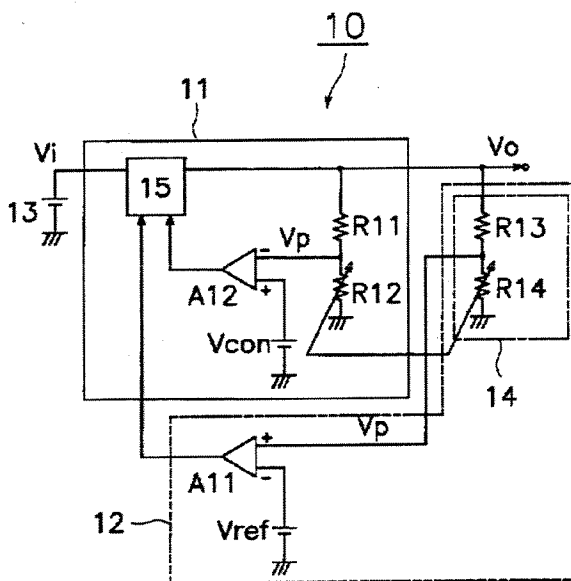
京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(54)【発明の名称】 DC-DCコンバータ装置

(57)【要約】

【課題】 正常時の出力電圧が変化しても、異常時の保護が可能となるDC-DCコンバータ装置を提供する。

【解決手段】 DC-DCコンバータ装置10は、出力電圧を変化させることが可能なDC-DCコンバータ本体11と、そのDC-DCコンバータ本体11を保護するための保護回路12とからなる。DC-DCコンバータ本体11は、直流電源13から発生する電源電圧 $V_i$ を出力電圧 $V_o$ に変換するもので、その出力電圧 $V_o$ は、DC-DCコンバータ本体11内の固定抵抗 $R_{11}$ と可変抵抗 $R_{12}$ とで決まる分圧比に応じて連続的に変化する。また、DC-DCコンバータ本体11の保護回路12は、固定抵抗 $R_{13}$ と可変抵抗 $R_{14}$ とからなる直列回路により構成される出力電圧変換器14と、その非反転入力(+)が固定抵抗 $R_{13}$ と可変抵抗 $R_{14}$ との接続点に、その反転入力(-)が基準電圧 $V_{ref}$ にその出力がDC-DCコンバータ本体11内のオン・オフ制御器15に接続される比較器 $A_{11}$ とからなる。



## 【特許請求の範囲】

【請求項1】 出力電圧を変化させることが可能なDC-DCコンバータ本体と該DC-DCコンバータ本体を保護する保護回路とからなるDC-DCコンバータ装置であって、

前記DC-DCコンバータ本体からの出力電圧を、前記保護回路にて分圧することにより発生する分圧電圧と基準電圧との比を一定に保つ機能を備えることを特徴とするDC-DCコンバータ装置。

【請求項2】 前記分圧電圧と基準電圧との比を一定に保つ機能が、前記DC-DCコンバータ本体内に設けられた固定抵抗と可変抵抗手段との直列回路と、前記保護回路内に設けられた固定抵抗と可変抵抗手段との直列回路とからなり、前記DC-DCコンバータ本体内の可変抵抗手段と前記保護回路内の可変抵抗手段とを連動させて変化させるものであることを特徴とする請求項1に記載のDC-DCコンバータ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、コンピュータなどに搭載されるDC-DCコンバータ装置に関する。

## 【0002】

【従来の技術】図4に、従来のDC-DCコンバータ装置を示す。DC-DCコンバータ装置50は、DC-DCコンバータ本体51と、それ保護する保護回路52とからなる。DC-DCコンバータ本体51は、直流電源53から発生する電源電圧 $V_i$ を出力電圧 $V_o$ に変換するものであり、その保護回路53は、出力電圧 $V_o$ を分圧する抵抗 $R_{51}$ 、 $R_{52}$ と、基準電圧 $V_{ref}$ と出力電圧 $V_o$ が分圧された分圧電圧 $V_p$ とを比較して、その差を出力として得る比較器A51とからなる。そして、抵抗 $R_{51}$ と抵抗 $R_{52}$ との接続点が比較器A51の非反転入力(+)に接続され、基準電圧 $V_{ref}$ が比較器A51の反転入力(-)に接続される。また、比較器A51の出力はDC-DCコンバータ51に接続される。このような構成において、 $V_{ref} > V_p (= R_2 \cdot V_o / (R_1 + R_2))$ となるように基準電圧 $V_{ref}$ を設定しておけば、何らかの異常により出力電圧 $V_o$ が変化して、 $V_{ref} < V_p$ となった場合には、比較器A51がオンとなり、DC-DCコンバータ51は動作を停止する。

【0003】図5に、従来の別のDC-DCコンバータ装置を示す。DC-DCコンバータ装置60は、DC-DCコンバータ本体61とそれを保護する保護回路62とからなる。DC-DCコンバータ本体61は、直流電源63から発生する電源電圧 $V_i$ を出力電圧 $V_o$ に変換するものであり、その保護回路62は、出力電圧 $V_o$ を分圧する抵抗 $R_{61}$ 、 $R_{62}$ と、過電圧基準電圧 $V_{refh}$ と出力電圧 $V_o$ が分圧された分圧電圧 $V_p$ とを比較

して、その差を出力として得る比較器A61と、減電圧基準電圧 $V_{refl}$ と分圧電圧 $V_p$ とを比較して、その差を出力として得る比較器A62と、比較器A61と比較器A62のどちらか一方がオンとなった場合に、出力する論理和回路OR6とからなる。そして、抵抗 $R_{61}$ と抵抗 $R_{62}$ との接続点が比較器A61の非反転入力(+)及び比較器A62の反転入力(-)に接続される。また、過電圧基準電圧 $V_{refh}$ が比較器A61の反転入力(-)に、減電圧基準電圧 $V_{refl}$ が比較器A62の非反転入力(+)に接続される。さらに、比較器A61及び比較器A62の出力は論理和回路OR6の入力に接続され、論理和回路OR6の出力はDC-DCコンバータ本体61に接続される。このような構成において、正常時の出力電圧 $V_o$ を5[V]、保護回路63の抵抗 $R_{61}$ を4[k $\Omega$ ]、抵抗 $R_{62}$ を1[k $\Omega$ ]、過電圧基準電圧 $V_{refh}$ を1.1[V]、減電圧基準電圧 $V_{refl}$ を0.9[V]とすると、正常時の分圧電圧 $V_p$ は1[V]となる。したがって、分圧電圧 $V_p$ が1[V]の場合には、比較器A61、比較器A62ともにオフとなり、その結果、論理和回路OR6がオフとなるため、DC-DCコンバータ本体61は正常に動作する。しかしながら、何らかの異常により出力電圧 $V_o$ が正常時の+10[%]、あるいは-10[%]以上変化した場合には、分圧電圧 $V_p$ が1.1[V]以上、あるいは0.9[V]以下となり、比較器A61、A62のいずれか一方がオンとなる。その結果、論理和回路OR6がオンとなるため、DC-DCコンバータ本体61は動作を停止する。なお、一般的には、正常時の $\pm 10 \sim 20\%$ 以内で保護回路が働くように設定してある。

## 【0004】

【発明が解決しようとする課題】ところが、上記の従来のDC-DCコンバータ装置においては、その保護回路を出力電圧を変化させることが可能なDC-DCコンバータ本体に適用しようとすると、異常保護を開始する基準電圧が一定のため、DC-DCコンバータ本体からの出力電圧が異常電圧であっても、その保護回路が動作せず、その結果、DC-DCコンバータ装置を搭載したコンピュータなどが誤動作を起こしたり、寿命が短くなるという問題があった。

【0005】例えば、図5の保護回路を出力電圧 $V_o$ が3~10[V]と、変化させることが可能なDC-DCコンバータ本体に用いる場合には、減電圧基準電圧 $V_{refl}$ を0.6[V]以下、過電圧基準電圧 $V_{refh}$ を2.0[V]以上に設定する必要がある。しかしながら、出力電圧 $V_o$ が5[V]の場合には、分圧電圧 $V_p$ は1[V]となり、減電圧の場合で-40[%]以上、過電圧の場合で+100[%]以上、出力電圧 $V_o$ が変化しないと保護回路が動作しない。その結果、減電圧の場合には、このDC-DCコンバータ装置を搭載したコンピュータのCPUが誤動作を起こし、過電圧の場合には、C

PUの寿命を短くしてしまう。

【0006】本発明は、このような問題点を解決するためになされたものであり、正常時の出力電圧が変化しても、異常時の保護が可能となるDC-DCコンバータ装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上述する問題点を解決するため本発明のDC-DCコンバータ装置は、出力電圧を変化させることが可能なDC-DCコンバータ本体と該DC-DCコンバータ本体を保護する保護回路とからなるDC-DCコンバータ装置であって、前記DC-DCコンバータ本体からの出力電圧を、前記保護回路にて分圧することにより発生する分圧電圧と基準電圧との比を一定に保つ機能を備えることを特徴とする。

【0008】また、前記分圧電圧と基準電圧との比を一定に保つ機能が、前記DC-DCコンバータ本体内に設けられた固定抵抗と可変抵抗との直列回路と、前記保護回路内に設けられた固定抵抗と可変抵抗との直列回路とからなり、前記DC-DCコンバータ本体内の可変抵抗と前記保護回路内の可変抵抗とを連動させて変化させるものであることを特徴とする。

【0009】本発明のDC-DCコンバータ装置によれば、DC-DCコンバータ本体からの出力電圧を、保護回路内で分圧することにより発生する分圧電圧と基準電圧との比を一定に保つ機能を備えているため、正常時の出力電圧が変化しても、正常時の出力電圧と発生した出力電圧との比が、所定の値以上あるいは所定の値以下で、DC-DCコンバータ本体の動作を停止させることができる。

【0010】

【発明の実施の形態】以下、図面を参照して本発明の実施例を説明する。図1に、本発明に係るDC-DCコンバータ装置の第1の実施例の回路図を示す。DC-DCコンバータ装置10は、出力電圧を変化させることが可能なDC-DCコンバータ本体11と、そのDC-DCコンバータ本体11を保護するための保護回路12とからなる。

【0011】DC-DCコンバータ本体11は、直流電源13から発生する電源電圧 $V_i$ を出力電圧 $V_o$ に変換するもので、その出力電圧 $V_o$ は、DC-DCコンバータ本体11内の固定抵抗 $R_{11}$ と可変抵抗手段である可変抵抗 $R_{12}$ とで決まる分圧比に応じて連続的に変化する。また、DC-DCコンバータ本体11の保護回路12は、出力電圧変換器14と、比較器A11とからなる。

【0012】出力電圧変換器14は、固定抵抗 $R_{13}$ と可変抵抗手段である可変抵抗 $R_{14}$ とからなる直列回路により構成され、その直列回路は、DC-DCコンバータ本体11を構成する固定抵抗 $R_{11}$ と分圧抵抗 $R_{12}$ とからなる直列回路に並列に接続される。そして、固定

抵抗 $R_{13}$ と可変抵抗 $R_{14}$ との接続点は、比較器A11の非反転入力(+)に接続され、その比較器A11の反転入力(-)には、基準電圧 $V_{ref}$ が接続される。

【0013】また、比較器A11の出力、及びDC-DCコンバータ本体11内の誤差アンプA12の出力は、DC-DCコンバータ本体11内のオン・オフ制御器15に接続される。

【0014】さらに、DC-DCコンバータ本体11内で、固定抵抗 $R_{11}$ と可変抵抗 $R_{12}$ との接続点は、誤差アンプA12の反転入力(-)に接続され、その誤差アンプA12の非反転入力(+)には、コントロール電圧 $V_{con}$ が接続される。なお、コントロール電圧 $V_{con}$ は基準電圧 $V_{ref}$ より若干低くなるように設定される。また、DC-DCコンバータ本体11は、誤差アンプA12の両入力等しくなるように制御される。

【0015】このような構成において、比較器A11は、基準電圧 $V_{ref}$ と出力電圧 $V_o$ が出力電圧変換器14の固定抵抗 $R_{13}$ と可変抵抗 $R_{14}$ により分圧された分圧電圧 $V_p$ とを比較して、その差を出力とする。

【0016】そして、DC-DCコンバータ本体11内の固定抵抗 $R_{11}$ と保護回路12内の固定抵抗 $R_{13}$ とを等しく、DC-DCコンバータ本体11内の可変抵抗 $R_{12}$ と保護回路12内の可変抵抗 $R_{14}$ とを連動させて変化させることにより等しくしておく、分圧電圧 $V_p$ と基準電圧 $V_{ref}$ との比が一定となる。

【0017】したがって、正常時には、DC-DCコンバータ本体11内の誤差アンプA12の両入力等しくなる( $V_p = V_{con}$ )ように制御され、 $V_{ref}/V_p > 1$ となるため、比較器A11がオフとなり、DC-DCコンバータ本体11は正常に動作する。

【0018】しかしながら、何らかの異常が発生して、 $V_{ref}/V_p \leq 1$ となると、比較器A11がオンとなり、オン・オフ制御器15がオフ状態を制御する。その結果、DC-DCコンバータ本体11は動作を停止する。

【0019】これは、正常時の出力電圧の大きさに依存せず、分圧電圧 $V_p$ と基準電圧 $V_{ref}$ との比の大きさのみで、DC-DCコンバータ本体11の動作を制御できることを示している。すなわち、 $V_p = V_{con} = V_o \times R_{14} / (R_{13} + R_{14})$ となるため、正常時の出力電圧の大きさに関係なくDC-DCコンバータ本体11に、正常時の出力電圧の $V_{ref}/V_p$ 倍以上の出力電圧が生じた場合には、DC-DCコンバータ本体11は停止することになる。

【0020】図2に、本発明に係るDC-DCコンバータ装置の第2の実施例の回路図を示す。DC-DCコンバータ装置20は、出力電圧を変化させることが可能なDC-DCコンバータ本体21と、そのDC-DCコンバータ本体21を保護するための保護回路22とからなる。

【0021】DC-DCコンバータ本体21は、直流電源23から発生する電源電圧Viを出力電圧Voに変換するもので、その出力電圧Voは、固定抵抗R27と可変抵抗手段である可変抵抗R28とで決まる分圧比に応じて連続的に変化する。

【0022】すなわち、出力電圧Voが固定抵抗R21、R22により分圧された分圧電圧Vpと、コントロール電圧Vconが固定抵抗R27と可変抵抗R28とにより分圧されたコントロール電圧Vcon'とが等しくなるようにDC-DCコンバータ本体11は動作する。コントロール電圧Vcon'が変化すると、そのコントロール電圧Vcon'に合わせて分圧電圧Vpが変化し、その結果、出力電圧Voが変化することになる。

【0023】また、DC-DCコンバータ本体21の保護回路22は、出力電圧変換器24と、基準電圧変換器25と、比較器A21とからなる。

【0024】出力電圧変換器24は、固定抵抗R23、R24とからなる直列回路により構成され、その直列回路は、DC-DCコンバータ本体11を構成する固定抵抗R21と固定抵抗R22とからなる直列回路に並列に接続される。なお、固定抵抗R23と固定抵抗R24との比は、固定抵抗R21と固定抵抗R22との比と等しくなるように設定される。そして、固定抵抗R23、R24との接続点は、比較器A21の非反転入力(+)に接続される。

【0025】また、基準電圧変換器25は、固定抵抗R25と可変抵抗手段である可変抵抗R26とからなる直列回路により構成され、固定抵抗R25と可変抵抗R26との接続点は、比較器A21の反転入力(-)に接続される。

【0026】さらに、比較器A21の出力、及びDC-DCコンバータ本体21内の誤差アンプA22の出力は、DC-DCコンバータ本体21内のオン・オフ制御器26に接続される。

【0027】また、DC-DCコンバータ本体21内で、固定抵抗R21、R22の接続点は、誤差アンプA22の反転入力(-)に接続され、その誤差アンプA22の非反転入力(+)には、固定抵抗R27と可変抵抗R28との接続点が接続され、可変抵抗R28とグランドとの間には、コントロール電圧Vconが接続される。なお、コントロール電圧Vconは基準電圧変換器25に接続される基準電圧Vrefより若干低くなるように設定される。

【0028】このような構成において、比較器A21は、基準電圧変換器25内の固定抵抗R25と可変抵抗R26との比で決定された基準電圧Vref'と、出力電圧Voが出力電圧変換器24の固定抵抗R23、R24により分圧された分圧電圧Vp'とを比較して、その差を出力とする。

【0029】そして、DC-DCコンバータ本体21

内の固定抵抗R27と、基準電圧変換器25内の固定抵抗R25とを等しく、DC-DCコンバータ本体21内の可変抵抗R28と、基準電圧変換器25内の可変抵抗R26を連動させて変化させることにより等しくしておくと、分圧電圧Vpは出力電圧Voの変化に応じて変化するが、基準電圧Vref'も出力電圧Voの変化に応じて変化する、すなわち分圧電圧Vpと同じ変化率で変化するため、分圧電圧Vpと基準電圧Vref'との比が常に一定となる。

【0030】したがって、正常時には、DC-DCコンバータ本体21内の誤差アンプA22の両入力が等しくなる( $V_p = V_{con}'$ )ように制御され、 $V_{ref}' / V_p > 1$ となるため、比較器A21がオフとなり、DC-DCコンバータ本体21は正常に動作する。

【0031】しかしながら、何らかの異常が発生して、 $V_{ref}' / V_p \leq 1$ となると、比較器A21がオンとなり、オン・オフ制御器26がオフ状態を制御する。その結果、DC-DCコンバータ本体21は動作を停止する。

【0032】これは、正常時の出力電圧の大きさに依存せず、分圧電圧Vpと基準電圧Vref'との比の大きさのみで、DC-DCコンバータ本体21の動作を制御できることを示している。すなわち、 $V_p = V_{con}' = V_o \times R_{22} / (R_{21} + R_{22})$ となるため、正常時の出力電圧の大きさに関係なくDC-DCコンバータ本体21に、正常時の出力電圧の $V_{ref}' / V_p$ 倍以上の出力電圧が発生したとき、DC-DCコンバータ本体21は停止することになる。

【0033】上述したように、第1及び第2の実施例のDC-DCコンバータ装置によれば、正常時の出力電圧に依存せず、出力電圧Voを分圧して発生させる分圧電圧Vpと基準電圧Vref'との比、あるいは、分圧電圧Vpと基準電圧Vref'を一定に保つ機能を備えているため、正常時の出力電圧が変動しても、DC-DCコンバータ本体に発生する電圧が、正常時の出力電圧の(基準電圧と分圧電圧との比)倍以上になったときに、DC-DCコンバータ本体の動作を停止させることができる。

【0034】したがって、図1及び図2に示したDC-DCコンバータ装置は、電源電圧の精度が必要なコンピュータを制御するCPU用の電源として使用しても、高い安全性、信頼性を満足することができる。

【0035】図3に、本発明に係るDC-DCコンバータ装置の第3の実施例の回路図を示す。DC-DCコンバータ装置30は、出力電圧を変化させることが可能なDC-DCコンバータ本体31と、そのDC-DCコンバータ本体31を保護するための保護回路32とからなる。

【0036】DC-DCコンバータ本体31は、直流電源33から発生する電源電圧Viを出力電圧Voに変換

するもので、その出力電圧 $V_o$ は、固定抵抗 $R_{31}$ と可変抵抗手段34で得られる抵抗、すなわち並列に接続された複数の分圧抵抗 $R_{33k}$  ( $k=1\sim n$ )を、デジタル信号により制御して複数のスイッチ $SW_{1k}$  ( $k=1\sim n-1$ )で切り換えることで得られる抵抗と、で決まる分圧比に応じて離散的に変化する。また、DC-DCコンバータ31の保護回路32は、出力電圧変換器35と、比較器A31、A32と、論理和回路OR1とからなる。

【0037】出力電圧変換器35は、固定抵抗 $R_{33}$ と可変抵抗手段36、すなわち並列に接続された複数の分圧抵抗 $R_{34k}$  ( $k=1\sim n$ )とからなる直列回路により構成され、その直列回路は、DC-DCコンバータ本体31を構成する固定抵抗 $R_{31}$ と可変抵抗手段34とからなる直列回路に並列に接続される。そして、固定抵抗 $R_{33}$ と可変抵抗手段36との接続点は、比較器A31の非反転入力(+)及び比較器A32の反転入力(-)に接続される。

【0038】また、過電圧基準電圧 $V_{refh}$ が比較器A31の反転入力(-)に、減電圧基準電圧 $V_{refl}$ が比較器A32の非反転入力(+)に接続される。

【0039】さらに、比較器A31及び比較器A32の出力は論理和回路OR1の入力に接続され、論理和回路OR1及び誤差アンプA33の出力はDC-DCコンバータ本体31内のオン・オフ制御器37に接続される。

【0040】また、DC-DCコンバータ本体31内で、固定抵抗 $R_{31}$ と可変抵抗手段34との接続点は、DC-DCコンバータ本体31内の誤差アンプA33の反転入力(-)に接続され、その誤差アンプA33の非反転入力(+)には、コントロール電圧 $V_{con}$ が接続される。なお、コントロール電圧 $V_{con}$ は減電圧基準電圧 $V_{refl}$ と過電圧基準電圧 $V_{refh}$ との間の値になるように設定される。

【0041】このような構成において、比較器A31は、過電圧基準電圧 $V_{refh}$ と出力電圧 $V_o$ が出力電圧変換器35により分圧された分圧電圧 $V_p$ とを比較して、その差を出力とする。比較器A32は、減電圧基準電圧 $V_{refl}$ と分圧電圧 $V_p$ とを比較して、その差を出力とする。論理和回路OR1は、比較器A31と比較器A32のどちらか一方がオンとなった場合に出力する。

【0042】そして、DC-DCコンバータ本体31内の固定抵抗 $R_{31}$ と保護回路32内の固定抵抗 $R_{33}$ とを等しく、DC-DCコンバータ本体31内の分圧抵抗 $R_{32k}$ と保護回路32内の分圧抵抗 $R_{34k}$ とを等しくし、DC-DCコンバータ本体31内のスイッチ $SW_{1k}$  ( $k=1\sim n-1$ )と保護回路33内のスイッチ $SW_{2k}$  ( $k=1\sim n-1$ )とを連動させて変化させると、分圧電圧 $V_p$ と減電圧基準電圧 $V_{refl}$ との比、及び分圧電圧 $V_p$ と過電圧基準電圧 $V_{refh}$ との比が

一定となる。

【0043】したがって、正常時には、DC-DCコンバータ本体31内の誤差アンプA33の両入力が等しくなる( $V_p=V_{con}$ )ように制御され $V_{refl}/V_p<1$ 、 $V_{refh}/V_p>1$ となるため、比較器A31、A32がオフとなり、DC-DCコンバータ本体31は正常に動作する。

【0044】しかしながら、何らかの異常が発生して、 $V_{refl}/V_p\geq 1$ あるいは $V_{refh}/V_p\leq 1$ となると、比較器A31あるいは比較器A32がオンとなり、論理和回路OR1はオンとなる。その結果、オン・オフ制御器37がオフ状態を制御し、DC-DCコンバータ本体31は動作を停止する。

【0045】これは、正常時の出力電圧の大きさに依存せず、分圧電圧 $V_p$ と減電圧基準電圧 $V_{refl}$ との比の大きさ、あるいは分圧電圧 $V_p$ と過電圧基準電圧 $V_{refh}$ との比の大きさで、DC-DCコンバータ本体31の動作を制御できることを示している。

【0046】第3の実施例のDC-DCコンバータ装置によれば、正常時の出力電圧に依存せず、出力電圧を分圧して発生させる分圧電圧と減電圧基準電圧との比、あるいは分圧電圧と過電圧基準電圧との比を一定に保つ機能を備えているため、正常時の出力電圧が変化しても、DC-DCコンバータ本体で発生した出力電圧が、正常時の出力電圧の(減電圧基準電圧と分圧電圧との比)倍以下、あるいは正常時の出力電圧の(過電圧基準電圧と分圧電圧との比)倍以上になったときに、DC-DCコンバータ本体の動作を停止させることができる。

【0047】したがって、図3に示したDC-DCコンバータ装置は、DC-DCコンバータ本体からの出力電圧が変化しても、所定の基準電圧と分圧電圧との比で、確実に停止を停止するため、電源電圧の精度が必要なコンピュータを制御するCPU用の電源として使用しても、高い安全性、信頼性を満足することができる。

【0048】

【発明の効果】本発明のDC-DCコンバータ装置によれば、出力電圧を分圧して発生させる分圧電圧と基準電圧との比を一定に保つ機能を備えているため、正常時の出力電圧が変化しても、正常時の出力電圧と発生した出力電圧との比が、所定の値以上あるいは所定の値以下で、DC-DCコンバータ本体の動作を停止させることができる。

【0049】したがって、電源電圧の精度が必要なコンピュータを制御するCPU用の電源として使用しても、高い安全性、信頼性を満足することができる。

【図面の簡単な説明】

【図1】本発明のDC-DCコンバータ装置に係る第1の実施例の回路図である。

【図2】本発明のDC-DCコンバータ装置に係る第2の実施例の回路図である。

【図3】本発明のDC-DCコンバータ装置に係る第3の実施例の回路図である。

【図4】従来のDC-DCコンバータ装置を示す回路図である。

【図5】従来の別のDC-DCコンバータ装置を示す回路図である。

【符号の説明】

10、20、30 DC-DCコンバータ装置

11、21、31 DC-DCコンバータ本体

\* 12、22、32 保護回路

13、23、33 直流電源

R11、R13、R21、R25、R31、R33

固定抵抗

R12、R14、R22、R26、34、36 可変

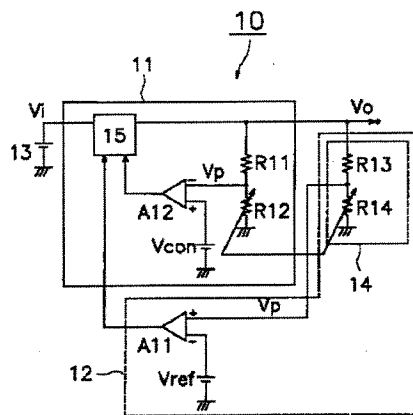
抵抗手段

Vo 出力電圧

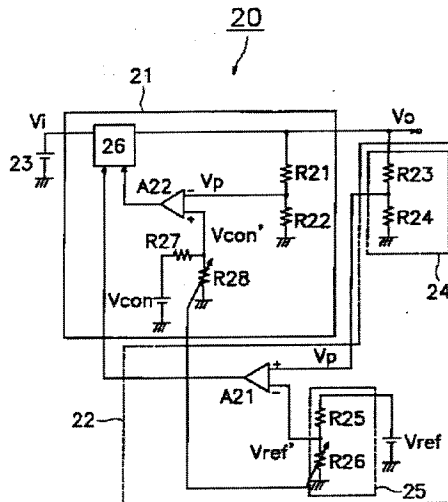
Vp、Vp' 分圧電圧

\* Vref、Vref' 基準電圧

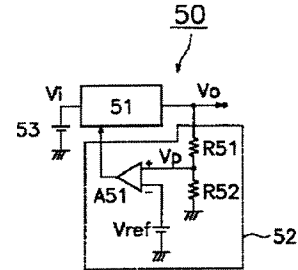
【図1】



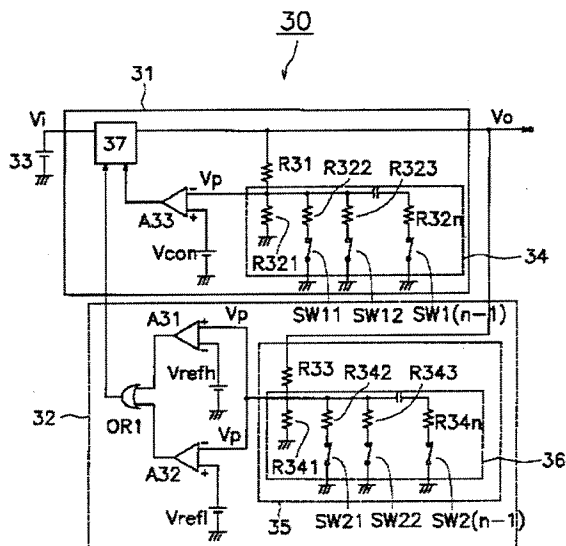
【図2】



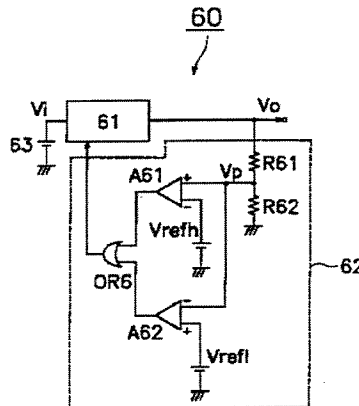
【図4】



【図3】



【図5】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-170730

(43)Date of publication of application : 04.07.1995

(51)Int.Cl.

H02M 3/28

G05F 1/10

G05F 1/56

(21)Application number : 05-314935

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 15.12.1993

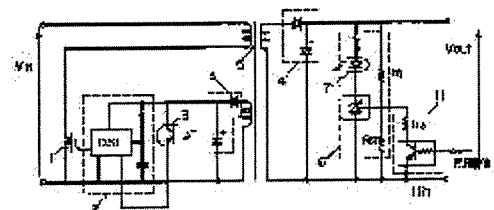
(72)Inventor : KOYAMA OSAMU

## (54) DC-DC CONVERTER

### (57)Abstract:

**PURPOSE:** To reduce the power consumption when waiting for operation, using a control signal, in a power unit used for each kind of electric apparatus which has an operating function.

**CONSTITUTION:** The power consumption of electric equipment is reduced by adding an output voltage adjusting circuit 11, which can identify an operation waiting mode by control signals and change the output voltage setting value by the control signal, to an output voltage detecting circuit 6, and lowering the output voltage when waiting for operation.





(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-170730

(43)公開日 平成7年(1995)7月4日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/28		H		
G 0 5 F 1/10	3 0 3 Z			
1/56	3 1 0 A			

審査請求 未請求 請求項の数1 O L (全 4 頁)

(21)出願番号 特願平5-314935

(22)出願日 平成5年(1993)12月15日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 小山 理

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

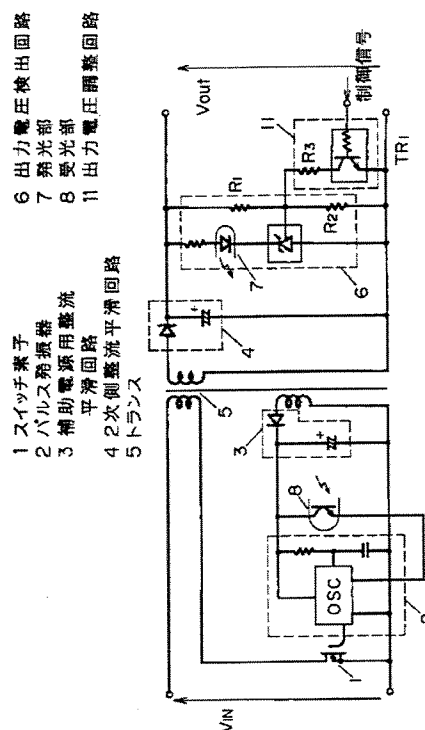
(74)代理人 弁理士 小鍛冶 明 (外2名)

#### (54)【発明の名称】 直流-直流変換器

##### (57)【要約】

【目的】 動作機能を持つ、各種電気機器に使用される電源装置において、制御信号を用いて動作待機時の消費電力低減化を行う。

【構成】 制御信号によって動作待機モードを判別し、その制御信号によって出力電圧設定値を変化させることができる出力電圧調整回路11を出力電圧検出回路6に追加し、動作待機時に出力電圧を下げることによって電気機器の消費電力量を低減させるようにした。



## 【特許請求の範囲】

【請求項1】 1次巻線-1次巻線に電磁結合された1次補助巻線及び出力電圧を得るための2次巻線を有するトランスと、前記トランスの2次巻線に接続された第1の整流平滑回路と、前記トランスの1次補助巻線に接続された第2の整流平滑回路と、前記トランスの1次巻線に流れる電流をオン・オフするもので制御端子電圧がスレッシュホールド電圧に達したときにオン状態になるようなスイッチ素子と、前記スイッチ素子をオン・オフさせるために発振周波数が抵抗及びコンデンサから成る時定数回路によって決定されるパルス信号を供給するパルス発振器とを備え、前記第1の整流平滑回路より得られる出力電圧を、目的に応じた電圧に設定し、出力電圧がその電圧値であることを検出し、その出力電圧に比例して、前記パルス発振器の充電時定数を調整することができる出力電圧検出回路と、前記出力電圧検出回路の出力電圧設定値を制御信号により調整できる出力電圧調整回路とを備えたことを特徴とする直流-直流変換器。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はVTRやファクシミリなどのように動作待機モードを有し、1日24時間常時通電状態にあり、そのほとんどの時間が動作待機モードとして使用されている一般家庭電化製品の電源部に利用して有効な直流-直流変換器に関するものである。

## 【0002】

【従来の技術】近年、マイクロコンピュータに制御される家庭電化製品は数多くあり、本来の動作以外に、ある条件の元でその動作をさせるような使用法が一般的になってきている。そのために動作待機モードとして、常に通電状態にしておく必要があり、その間一定の電力が消費される。しかも、現実にはこの動作待機モードが機器の使用時間のほとんどを占めている。この電力は省エネルギーの観点から、出来る限り低くおさえなければならない。

【0003】以下に従来の直流-直流変換器について説明する。図2は従来の直流-直流変換器の回路構成を示すものである。図2において、1はスイッチ素子である。2はパルス発振器で、スイッチ素子1をオン・オフする。3は補助電源用整流平滑回路、4は2次側整流平滑回路である。5はトランスで、1次側と2次側を絶縁しており電磁結合によって1次側入力電圧を2次側必要電圧に変換している。6は出力電圧検出回路であり、発光部7及び受光部8からなる一対のフォトカプラによって1次側に制御電流を供給している。

【0004】以上のように構成された直流-直流変換器について、以下その動作について説明する。

【0005】まず1次側より供給された直流入力電圧 $V_{in}$ は、スイッチ素子1、パルス発振器2及びトランス5によって、一旦、高周波交流に変換され、トランス5に

より電圧変換後、2次側整流平滑回路4によって直流出力に整流され、直流出力電圧 $V_{out}$ がえられる。このとき $V_{out}$ は、

$$V_{out} = V_{ref} * (1 + R_1 / R_2)$$

で表現される。但し $V_{ref}$ はIC1によって決められる基準電圧である。フォトカブラの発光部7は出力電圧の変化を検出して電流変換し、受光部8に伝達し、パルス発振器2を調整することにより、出力電圧を制御している。

## 【0006】

【発明が解決しようとする課題】しかしながら上記に示す従来の構成では、出力電圧設定値を出力負荷条件に応じて変化させることができず、機器の動作待機時の負荷に対しても、通常動作時と同じ条件で電圧を供給しなければならないため、消費電力が増大するという問題点を有していた。

【0007】本発明は上記従来の問題点を解決するもので、動作待機時の出力電圧設定値を制御信号によって変化させ、動作待機時の省エネルギー化を可能にした、直流-直流変換器を提供することを目的とする。

## 【0008】

【課題を解決するための手段】この目的を達成するために本発明の直流-直流変換器は、1次巻線-1次巻線に電磁結合された1次補助巻線及び出力電圧を得るための2次巻線を有するトランスと、トランスの2次巻線に接続された整流平滑回路と、トランスの1次補助巻線に接続された整流平滑回路と、トランスの1次巻線に流れる電流をオン・オフするもので制御端子電圧がスレッシュホールド電圧に達したときにオン状態になるようなスイッチ素子と、スイッチ素子をオン・オフさせるために発信周波数が抵抗及びコンデンサから成る時定数回路によって決定されるパルス信号を供給するパルス発信器とを備え、トランスの2次巻線に接続された整流平滑回路より得られる出力電圧を、目的に応じた電圧に設定し、出力電圧がその電圧値であることを検出し、出力電圧検出部の出力電圧に比例して、パルス発信器の充電時定数を調整することができる出力電圧検出回路と、出力電圧検出回路の出力電圧設定値を制御信号により調整できる出力電圧調整回路とを備えたものである。

## 【0009】

【作用】この構成により、制御信号を利用して動作待機時の出力電圧を下げ、2次側負荷電力を低減させることにより、安価に電気機器の動作待機時の省電力化を実現することができる。

## 【0010】

【実施例】以下、本発明の一実施例について、図面を参照しながら説明する。

【0011】図1において、1はスイッチ素子である。2はパルス発振器で、スイッチ素子1をオン・オフする。3は補助電源用整流平滑回路、4は2次側整流平滑

10

20

30

40

50

回路である。5はトランスで、1次側と2次側を絶縁しており電磁結合によって1次側入力電圧を2次側必要電圧に変換している。6は出力電圧検出回路であり、発光部7及び受光部8からなる一対のフォトカプラによって1次側に制御電流を供給している。11は出力電圧調整回路である。

$$V_{OUT1} = V_{REF} * (1 + R_1 * (R_2 + R_3) / (R_2 * R_3))$$

と表現でき、通常動作に必要な出力電圧値を設定する。

【0013】一方、動作待機時には制御信号がゼロとなり、トランジスタ $T_{R1}$ がオフとなり $R_3$ の接続が解除され、そのときの出力電圧は、

$$V_{OUT2} = V_{REF} * (1 + R_1 / R_2)$$

となり、 $R_3$ が接続されている場合に比べ出力電圧が下がり動作待機時の消費電力が低減されることになる。

【0014】本実施例による直流-直流変換器の特性と従来の直流-直流変換器の特性を下記条件にて比較シミュレーションした場合の結果を(表1)に示している。※

\*【0012】以上のように構成された直流-直流変換器について、図1を用いてその動作を説明する。まず、通常動作時にアクティブ・ハイの制御信号が出力電圧調整回路11のトランジスタのベースに抵抗を介して印加され、トランジスタ $T_{R1}$ がオンすることにより $R_2$ に並列に $R_3$ が接続される。そのときの出力電圧は、

※【0015】条件1、通常動作時の2次側負荷を5V、1Aとする。条件2、本実施例による2次側電圧低減率を-2%とする。

【0016】条件3、動作待機時の直流-直流変換器の1次-2次変換効率を、50%とする。

【0017】条件4、電気機器の使用時間は1日のうち2時間とし、それ以外は動作待機モードとする。

【0018】

【表1】

	従 来	本実施例	効果
動作待機時の2次側負荷	10W	9W	1W
動作待機時の1次側負荷	20W	18W	2W
1日の消費電力量	1584KJ	1426KJ	158KJ

【0019】この(表1)から明らかなように、本実施例による直流-直流変換器は、動作待機時の消費電力量が従来に比べ低減できるという点で優れた効果が得られる。

【0020】以上のように本実施例によれば、出力電圧検出回路6に出力電圧調整回路11を追加することによって、制御信号によって出力電圧設定値を変化させ出力電圧を下げることができ、その結果、機器の使用モードのほとんどの時間を占める動作待機時の消費電力を低減させることができ、省エネルギー機器を実現できる。

【0021】

【発明の効果】以上のように本発明は、制御信号によって出力電圧検出回路に出力電圧設定値を変化させることができる出力電圧調整回路を設け、動作待機時の出力電圧を下げることにより、電気機器の消費電力量低減化を

30 実現することができた直流-直流変換器である。

【図面の簡単な説明】

【図1】本発明の一実施例における直流-直流変換器の回路図

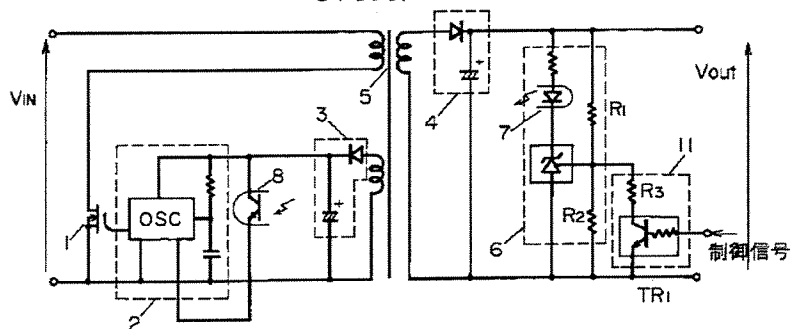
【図2】従来の直流-直流変換器の回路図

【符号の説明】

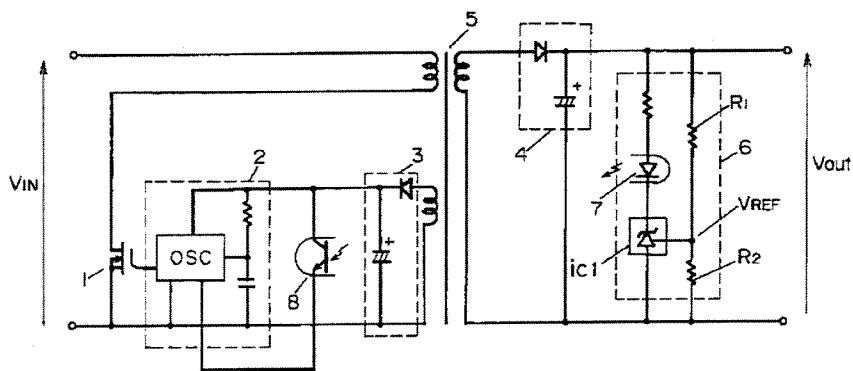
- 1 スイッチ素子
- 2 パルス発振器
- 3 補助電源用整流平滑回路
- 4 2次側整流平滑回路
- 5 トランス
- 6 出力電圧検出回路
- 7 発光部
- 8 受光部
- 11 出力電圧調整回路

【図1】

- |               |             |
|---------------|-------------|
| 1 スイッチ素子      | 6 出力電圧検出回路  |
| 2 パルス発振器      | 7 発光部       |
| 3 補助電源用整流平滑回路 | 8 受光部       |
| 4 2次側整流平滑回路   | 11 出力電圧調整回路 |
| 5 トランス        |             |



【図2】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-242845

(43)Date of publication of application : 02.09.1994

(51)Int.Cl.

G05F 1/56  
H02J 7/00

(21)Application number : 05-025174

(71)Applicant : SHARP CORP

(22)Date of filing : 15.02.1993

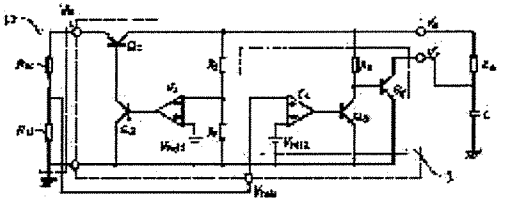
(72)Inventor : INABA KATSUMI

## (54) STABILIZED DC POWER SUPPLY UNIT

(57)Abstract:

PURPOSE: To provide the stabilized DC power supply unit having high reliability, which can set arbitrarily magnitude of a reset detection voltage in accordance with the circuit configuration, and does not cause remarkable deterioration of a characteristic of a battery, even in the case the battery is used as an input power source.

CONSTITUTION: The unit is provided with an external resistance part 10 consisting of plural resistances subjected to outside connection to an input power source part  $V_{in}$ , and a reset signal output part 1 containing a comparator C1 for comparing a divided voltage of the external resistance part concerned with a reference voltage  $V_{ref2}$  and detecting a reset state.



(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-242845

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.<sup>5</sup>

G 0 5 F 1/56

H 0 2 J 7/00

識別記号

3 2 0 C 4237-5H

3 0 2 D 9060-5G

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21)出願番号 特願平5-25174

(22)出願日 平成5年(1993)2月15日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 因幡 克己

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

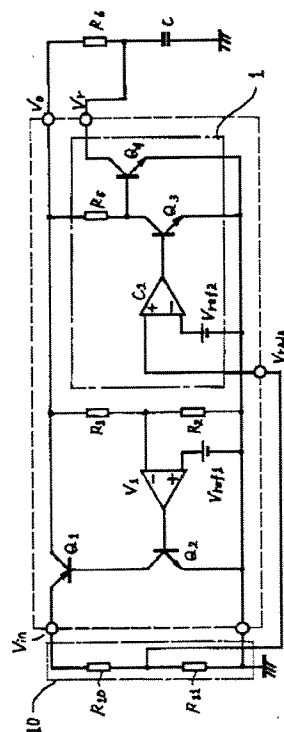
(74)代理人 弁理士 梅田 勝

(54)【発明の名称】 直流安定化電源装置

(57)【要約】

【目的】 リセット検出電圧の大きさを回路構成に応じ  
て任意に設定でき、入力電源として電池を使用した場合  
でも電池の著しい特性劣化を招くことのない高信頼性の  
直流安定化電源装置を提供する。

【構成】 入力電源部  $V_{in}$  に対して外部接続される複数の  
の抵抗からなる外付け抵抗部 10 と、該外付け抵抗部の  
分圧と基準電圧  $V_{ref2}$  とを比較しリセット状態を検出す  
るコンパレータ  $C_1$  を含むリセット信号出力部 1 と、を  
有してなることを特徴とする。



## 【特許請求の範囲】

【請求項1】電池を入力電源とするリセット機能付の直流安定化電源装置において、  
入力電源部に対して外部接続される複数の抵抗からなる外付け抵抗部と、該外付け抵抗部の分圧と基準電圧とを比較しリセット状態を検出するコンパレータを含むリセット信号出力部と、を有してなることを特徴とする直流安定化電源装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電池を入力電圧とするリセット機能付きの直流安定化電源装置に関する。

## 【0002】

【従来の技術】従来の技術について図3を参照して説明する。図3は、従来の直流安定化電源装置の回路図である。

【0003】図3に示すように、従来の直流安定化電源装置は、出力電圧 $V_o$ を分圧抵抗 $R_1$ 、 $R_2$ によって分圧した電圧及び基準電圧 $V_{ref1}$ を誤差増幅器 $V_1$ に入力し、両電圧の差を増幅して、その差がなくなるようにトランジスタ $Q_1$ のベース電流をトランジスタ $Q_2$ により制御する構成としている。

【0004】また、リセット出力端子 $V_r$ は電源投入時、リセット信号出力部1の出力トランジスタ $Q_4$ が抵抗 $R_5$ を通じてオン状態となるためLOWレベルとなり、電源投入時からコンパレータ $C_1$ が動作開始するまでシステムを初期状態にする。そして、コンパレータ $C_1$ が動作開始すると、分圧抵抗 $R_3$ 、 $R_4$ による分圧と基準電圧 $V_{ref2}$ とを比較しトランジスタ $Q_3$ をオン状態とし、 $Q_4$ をオフさせリセット出力をHIGHレベルにして、システム起動開始の信号とする。

【0005】そして、抵抗 $R_3$ 、 $R_4$ にて分圧された電圧が $V_{ref2}$ より低下するとトランジスタ $Q_3$ はオフし、再び抵抗 $R_5$ を通してトランジスタ $Q_4$ がオン状態となりリセット出力をLOWレベルに落とし、システムの誤動作を防止する。

【0006】なお、 $R_5$ 、 $C$ はリセット出力用の抵抗及びコンデンサである。

## 【0007】

【発明が解決しようとする課題】ところで、前述した従来の直流安定化電源装置の回路構成において、入力電源が電池である場合、以下のような問題があった。一般に電池には、それ以下の電圧になると急激に特性が劣化する放電終止電圧がある。従って、入力電源としての電池が放電終止電圧を割るような場合には回路にリセットがかかることが望ましい。

【0008】ところが、実際は、例えば1セル当たり1.2Vのニッカド電池（放電終止電圧は1.0V）を6ヶ使用した場合、入力電圧 $V_{in}$ が7.2V、放電終止電圧が6.0Vであるのに対して、リセット検出電圧は出

力電圧 $V_o$ を5.0Vとする時に通常4.75Vと固定的に設定される。

【0009】つまり、リセットがかかる時の電池の電圧は、放電終止電圧である6.0Vを割ることになり、過放電によって電池の寿命が著しく短くなってしまう。

【0010】図4はこの状態を示す、入力電圧—リセット信号波形図である。立ち上がった入力電圧 $V_{in}$ の電圧が低下する際、電池放電終止電圧（6V）のa点でリセットがかかるのが望ましいが、リセット検出電圧は4.75Vで固定されているので、実際にリセットがかかるのはb点となる。

【0011】従って、前述のようにリセット動作に至る過程で電池は放電終止電圧を割ってしまい、特性が非常に劣化する。

【0012】そこで、本発明の目的は、リセット検出電圧の大きさを回路構成に応じて任意に設定でき、入力電源として電池を使用した場合でも電池の著しい特性劣化を招くことのない直流安定化電源装置を実現することにある。

## 【0013】

【課題を解決するための手段】前記目的を達成するために本発明は、電池を入力電源とするリセット機能付の直流安定化電源装置において、入力電源部に対して外部接続される複数の抵抗からなる外付け抵抗部と、該外付け抵抗部の分圧と基準電圧とを比較しリセット状態を検出するコンパレータを含むリセット信号出力部と、を有してなることを特徴とする。

## 【0014】

【作用】本発明の直流安定化電源装置は、前述のように入力電源部に対して外部接続される複数の抵抗からなる外付け抵抗部と、該外付け抵抗部の分圧と基準電圧とを比較しリセット状態を検出する構成であるので、リセット検出の電圧レベルを外付け抵抗部によって任意に設定できる。つまり、リセット検出の電圧レベルを電池の放電終止電圧と同一に（あるいは若干高めに）設定できる。

【0015】従って、従来は入力電源として電池を使用する際、リセット検出電圧が電池の放電終止電圧よりも低いレベルで一定に固定されていたために、リセット動作に至る過程で電池特性が急激に劣化するという問題があったが、本発明によれば、放電終止電圧になった時（あるいは放電終止電圧に至るまでに）リセットをかけることができるので、上記問題点を解消でき、高信頼性の直流安定化電源装置を実現できる。

## 【0016】

【実施例】本発明の一実施例について、図1を参照して説明する。

【0017】図1は本実施例による直流安定化電源装置の回路図である。なお、図3に示す従来例と同一機能部分には同一記号を付している。ここでは、主に図3の従

来例と異なる点について説明する。

【0018】図1に示すように、本実施例による安定化電源回路においては、コンパレータ $C_1$ の $V_{ref2}$ との比較電圧の入力端子 $V_{radj}$ に、 $V_{in}-V_{out}$ 間に対する外付け抵抗部10（抵抗 $R_{10}$ 及び $R_{11}$ ）の分圧を入力している。つまり、リセット検出電圧は、外付け抵抗部10の抵抗 $R_{10}$ 及び抵抗 $R_{11}$ の大きさを変えることによって任意に調整できる。

【0019】従って、入力電源として電池を使用する場合に、リセット検出電圧を電池の放電終止電圧と同一に（あるいは放電終止電圧よりも若干高く）設定することにより、放電終止電圧になった時（あるいは放電終止電圧に至るまでに）リセットをかけることができるので、電池の入力電圧が放電終止電圧よりも低下することを避けられ、従来のように電池の入力電圧が放電終止電圧を割って電池特性が急激に劣化するという事態を防止できる。

【0020】図2は、この状態を示す入力電圧ーリセット信号波形図である。図2に示すように、立ち上がった入力電圧 $V_{in}$ の電圧が低下する際、電池放電終止電圧（6V）のa点でリセットがかかるので、従来のように、リセット時において電池電圧が放電終止電圧を割

り、電池の特性劣化が生じるという事はなく、高信頼性の安定化電源回路を実現できる。

【0021】

【発明の効果】以上説明したように本発明によれば、入力電源として電池を使用する際、リセット検出電圧が電池の放電終止電圧よりも低いために、リセット時に電池特性が急激に劣化するという事のない高信頼性の安定化電源回路を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例による直流安定化電源装置の回路図である。

【図2】図1の回路における入力電圧ーリセット信号波形図である。

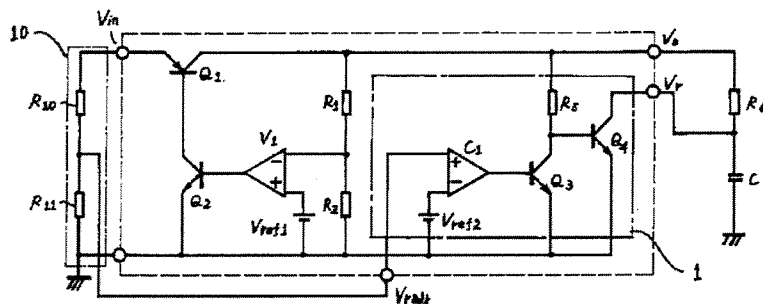
【図3】従来例による直流安定化電源装置の回路図である。

【図4】図3の回路における入力電圧ーリセット信号波形図である。

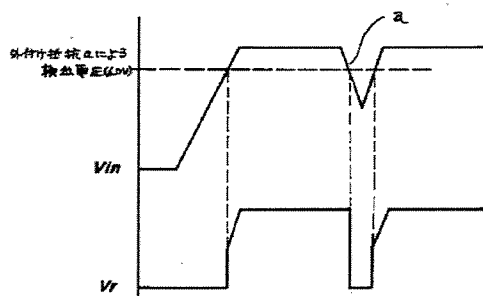
【符号の説明】

- 1 リセット信号出力部
- 10 外付け抵抗部
- $V_{in}$  入力電源部
- $C_1$  コンパレータ

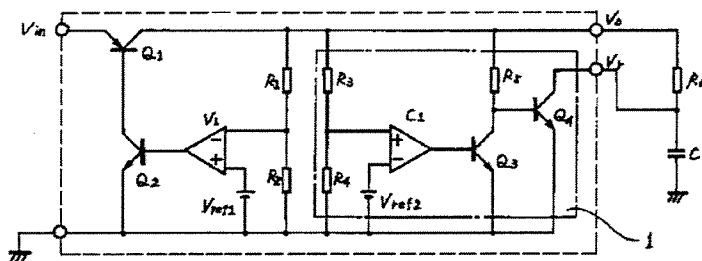
【図1】



【図2】

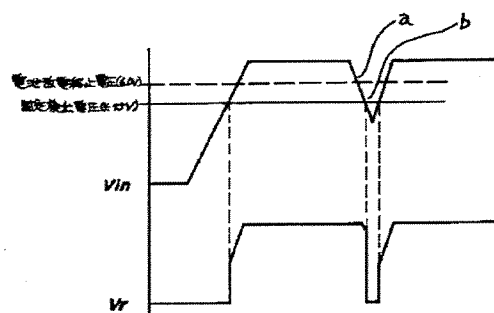


【図3】





【図4】



Abstract of  
Japanese Utility Model Patent  
Application Publication No. Heil-143285

Publication Date;  
October 2, 1989

Title of the Invention;  
Power Supply Circuit

What is claimed is;

1. A reset function included stabilization power supply circuit, comprising:

a detection circuit configured to detect if an input voltage decreases to a level less than an output voltage;

a first reverse leakage prevention use transistor arranged between an output terminal and a connection point connecting an output voltage setting use resistance and a reset voltage setting use resistance and configured to be turned on and off by the detection circuit; and

a second reverse leakage prevention use transistor arranged between a base of an output transistor and a connection point of an output of a differential amplifier and configured to be turned on and off by the detection circuit.

# 公開実用平成 1-143285

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 平1-143285

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)10月2日

H 02 M 1/00

E-8325-5H

審査請求 未請求 請求項の数 1 (全 頁)

⑮ 考案の名称 電源回路

⑯ 実 願 昭63-37775

⑰ 出 願 昭63(1988)3月22日

⑱ 考 案 者 新 宮 和 弘 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

### 1. 考案の名称 電源回路

### 2. 実用新案登録請求の範囲

リセット機能付安定化電源回路において、入力電圧が出力電圧より低下したことを検出する検出回路と、出力端子と出力電圧設定用抵抗・リセット電圧設定用抵抗の接続点の間に位置し前記検出回路によりオン／オフする逆リーク防止用トランジスタと、出力トランジスタのベースと誤差増幅器の出力の接続点の間に位置し前記検出回路によりオン／オフする逆リーク防止用トランジスタを備えたリセット機能付安定化電源回路。

### 3. 考案の詳細な説明

〔産業上の利用分野〕

本考案は安定化電源回路に関し、特に出力電圧の低下を検出し出力電圧低下時にリセット出力端

子からリセット信号を発生する機能を持った安定化電源回路に関する。

〔従来の技術〕

従来のリセット機能を持った安定化電源回路の回路構成を第3図で説明する。

本来安定化電源回路は入力端子5の電圧（以下入力電圧と称す）が低下し出力端子6の電圧（以下出力電圧と称す）が低下しようとした場合、以下の動作により出力電圧を正常な値に維持しようとする。すなわち出力電圧が低下すると、出力電圧設定用抵抗8，9より得られる誤差増幅器3の非反転端子電圧が、起動回路1を介して基準電圧回路2より得られる誤差増幅器3の反転端子電圧より低下するため、誤差増幅器3の出力電圧はLow側となる。このため出力トランジスタ4のベース電流が増加し、出力電圧が上昇し、出力電圧が規定の電圧に復帰するという負帰還動作を行う。

しかし、この負帰還動作は、入力電圧が出力電圧に出力トランジスタ4の飽和電圧を加えた電圧

以上印加されている場合にのみ正常に行われ、入力電圧がそれ以下に低下すると、入力電圧の低下分だけ出力電圧も低下していく。そして、リセット電圧設定用抵抗 20, 21 より得られるリセット出力用コンパレータ 19 の反転端子電圧が、前記基準電源回路 2 より得られるリセット出力用コンパレータ 19 の非反転端子電圧より低下するとリセット出力用コンパレータ 19 の出力はハイレベルとなるため、抵抗 17 を介しリセット出力用トランジスタ 13 は OFF に、また抵抗 18 を介しリセット出力用トランジスタ 15 は ON になる。このためリセット出力端子 14 は、ハイレベルからローレベルに転じる。

以上のとおり、従来のリセット機能を持った安定化電源回路は、出力電圧が規定の電圧以下になるとリセット端子 14 の電圧がハイレベルからローレベルに転じるアクティブローの動作を行う。

〔考案が解決しようとする課題〕

上述した従来のリセット機能を持った安定化電源回路は、出力端子 6 と出力電圧設定用抵抗 8 の

一端およびリセット電圧設定用抵抗 20 の一端が接続されているので以下に述べる欠点がある。

第4図、第5図はリセット機能を持った安定化電源回路とスーパーキャパシタ 28 を用いて、マイクロコンピュータ 29 へのバックアップ回路構成を示したものである。なお、スーパーキャパシタ 28 は、入力電圧 22 が低下してもある時間出力電圧をマイクロコンピュータ 29 が動作可能な出力電圧の最小値以上に保持しておくための大容量コンデンサである。

従来のリセット機能を持った安定化電源回路を用いて第4図に示すバックアップ回路を構成した場合、上記回路構成となっているため入力電圧 22 がスーパーキャパシタ 28 で保持されている出力電圧に出力トランジスタ 4 の飽和電圧を加えた電圧以下に下がると、スーパーキャパシタ 28 の電荷が出力端子 27 を通して安定化電源回路内部へ流れ込み（以下この減少を逆リークと称す）、スーパーキャパシタ 28 の両端電圧が低下する時間が著しく速くなり、すなわちマイクロコン

ピュータ 29 へスーパーキャパシタ 28 から電力を供給できる時間（以下バックアップ時間と称する）が著しく短くなる。

仮にこの逆リークを防止する手段を構じるとすれば第 5 図のように逆リーク防止用ダイオード 31 とレベルシフト用ダイオード 30 が必要となる。しかし、この場合は下記の欠点が生じる。

入力電圧 22 が低下し、バックアップ状態に移った場合、リセット機能を持った安定化電源回路はリセット出力端子 26 からリセット信号を発生し、マイクロコンピュータ 29 へリセット信号を伝える必要があるが、従来のリセット機能を持った安定化電源回路を用いて第 5 図をバックアップ回路を構成した場合、リセット信号は、入力電圧の低下に伴い出力電圧が低下し、出力電圧がリセット出力開始電圧（第 6 図中の  $V_{RST}$ ）以下になった時に発生する構成となる。第 6 図(ii)にこのタイミングチャートを示す。従って、入力電圧 22 が低下しバックアップ状態に入った瞬間から、実際にバックアップ状態に移ったことをマイクロ



コンピュータ 29 に伝えるために安定化電源回路がリセット信号を発生するまでには第 6 図中  $\Delta T$  に示す遅れ時間が生じる。一般に、マイクロコンピュータ 26 は、動作時の回路電流がリセット信号が入力されている状態での回路電流より数百倍多い。よって、 $\Delta T$  の遅れ時間のためにスーパーキャパシタ 28 の両端電圧は、 $\Delta V_{02}$  低下してしまう。このためマイクロコンピュータ 29 の電源電圧最小値 ( $V_{CCMIN.}$ ) までにスーパーキャパシタ 28 の両端電圧が低下するまでの時間、すなわちマイクロコンピュータ 29 へのバックアップ時間は、バックアップ状態に入ったとき瞬時にリセット信号をマイクロコンピュータ 29 に伝える場合と比べると大幅に短縮されてしまう。

〔課題を解決するための手段〕

本考案のリセット機能を持った安定化電源回路は、前記欠点を解決するために、入力電圧が出力電圧より低下したことを検出する入力電圧低下検出用コンパレータと、出力端子と出力電圧設定用抵抗・リセット電圧設定用抵抗の間に接続され前

記入入力電圧低下検出用コンパレータの出力により ON/OFF 制御される逆リーク防止用トランジスタと、出力トランジスタのベースと誤差増幅器の間に接続され前記入入力電圧低下検出用コンパレータの出力により ON/OFF 制御される逆リーク防止用トランジスタを有している。

〔実施例 1〕

次に、本考案について図面を参照して説明する。

第 1 図は、本考案の実施例 1 を示す回路構成図であり、第 3 図の従来の回路構成図に、反転端子に出力端子 6，非反転端子に入力端子 5 が接続され入力電圧と出力電圧とを比較する入力電圧低下検出用コンパレータ 12 と、入力電圧低下検出用コンパレータ 12 の出力により ON/OFF するトランジスタ 11 と、トランジスタ 11 の ON/OFF により抵抗 10 を介して ON/OFF する逆リーク防止用トランジスタ 7a および 7b が追加されている。

入力電圧が出力電圧より低下すると入力電圧低下検出用コンパレータ 12 はローレベルを出力し、

トランジスタ 11 は OFF になり、つづいて逆リーク防止用トランジスタ 7a, 7b が OFF になる。このため、リセット出力用コンパレータ 19 の反転端子には GND レベルが入力され、リセット出力用コンパレータ 19 はハイレベルを出力する。以下の動作は第 3 図の場合と同様である。

〔実施例 2〕

第 2 図は、本考案の実施例 2 を示す回路構成図であり、第 3 図の従来の回路構成図に抵抗 37, 38、トランジスタ 34, 35, 36 から構成される定電流源と、入力端子から定電流源のトランジスタ 35 へ定電流を流すダイオード 32 とダイオード 32 のカソードの電圧と出力電圧の電位差により ON/OFF されるトランジスタ 33 と、トランジスタ 33 の状態により ON/OFF する逆リーク防止用トランジスタ 7a および 7b が追加されている。

入力電圧が出力電圧より低下すると、トランジスタ 33 のベース電位が下がるのでトランジスタ 33 が ON し、コレクタ電位が出力電圧に近づき、

逆リーク防止用トランジスタ 7 a , 7 b は O F F となる。

以下の動作は実施例 1 と同様である。

〔考案の効果〕

以上説明したように本考案は、入力電圧が出力電圧より低下したことを検出する入力電圧低下検出用コンパレータと、出力端子と出力電圧設定用抵抗・リセット電圧設定用抵抗の間に接続され前記入力電圧低下検出用コンパレータの出力により O N / O F F 制御される逆リーク防止用トランジスタを設けることにより、第 4 図に示すマイクロコンピュータのバックアップ回路において入力電圧が低下してもスーパーキャパシタから安定化電源回路への逆リークはなく、第 5 図におけるダイオード 3 0 , 3 1 が不要となる。さらに入力電圧が出力電圧より低下すると瞬時にリセット信号を発生するためにマイクロコンピュータのバックアップ時間を従来と比較すると第 6 図中の  $\Delta t$  だけ延ばすことができるという効果がある。

#### 4. 図面の簡単な説明

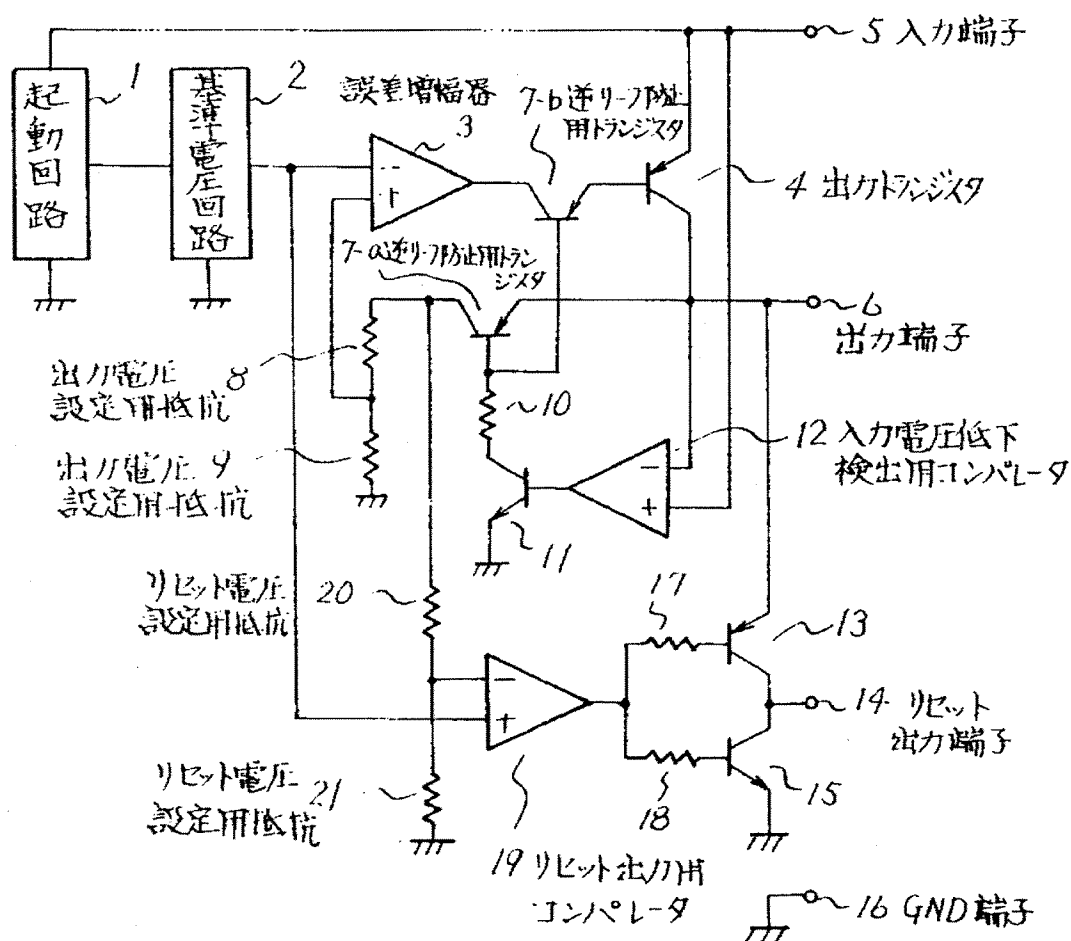
第1図は本考案のリセット機能を持った安定化電源回路の実施例1、第2図は同実施例2を示す図、第3図は従来のリセット機能を持った安定化電源回路の回路構成図、第4図は本考案のリセット機能を持った安定化電源回路を用いて構成したマイクロコンピュータのバックアップ回路、第5図は従来のリセット機能を持った安定化電源回路に逆リーク防止用ダイオードを付加して構成したマイクロコンピュータのバックアップ回路、第6図は、第4図、第5図のバックアップ回路のタイミングチャートである。

1 …… 起動回路、2 …… 基準電圧回路、3 …… 誤差増幅器、4 …… 出力トランジスタ、5 …… 入力端子、6 …… 出力端子、7 a, 7 b …… 逆リーク防止用トランジスタ、8, 9 …… 出力電圧設定用抵抗、10 …… 抵抗、11 …… トランジスタ、12 …… 入力電圧低下検出用コンパレータ、13 …… リセット出力用トランジスタ、14 …… リセット出力端子、15 …… リセット出力用トランジ

スタ、16……GND端子、17, 18……抵抗、  
19……リセット出力用コンパレータ、20, 21  
……リセット電圧設定用抵抗、22……入力電圧、  
23……リセット機能を持った安定化電源回路、  
24……入力端子、25……GND端子、26…  
…リセット出力端子、27……出力端子、28…  
…スーパーキャパシタ、29……マイクロコンピ  
ュータ、30……レベルシフト用ダイオード、31  
……逆リーク防止用ダイオード、32……ダイオ  
ード、33, 34, 35, 36……トランジスタ、  
37, 38……抵抗。

代理人 弁理士 内 原 晋



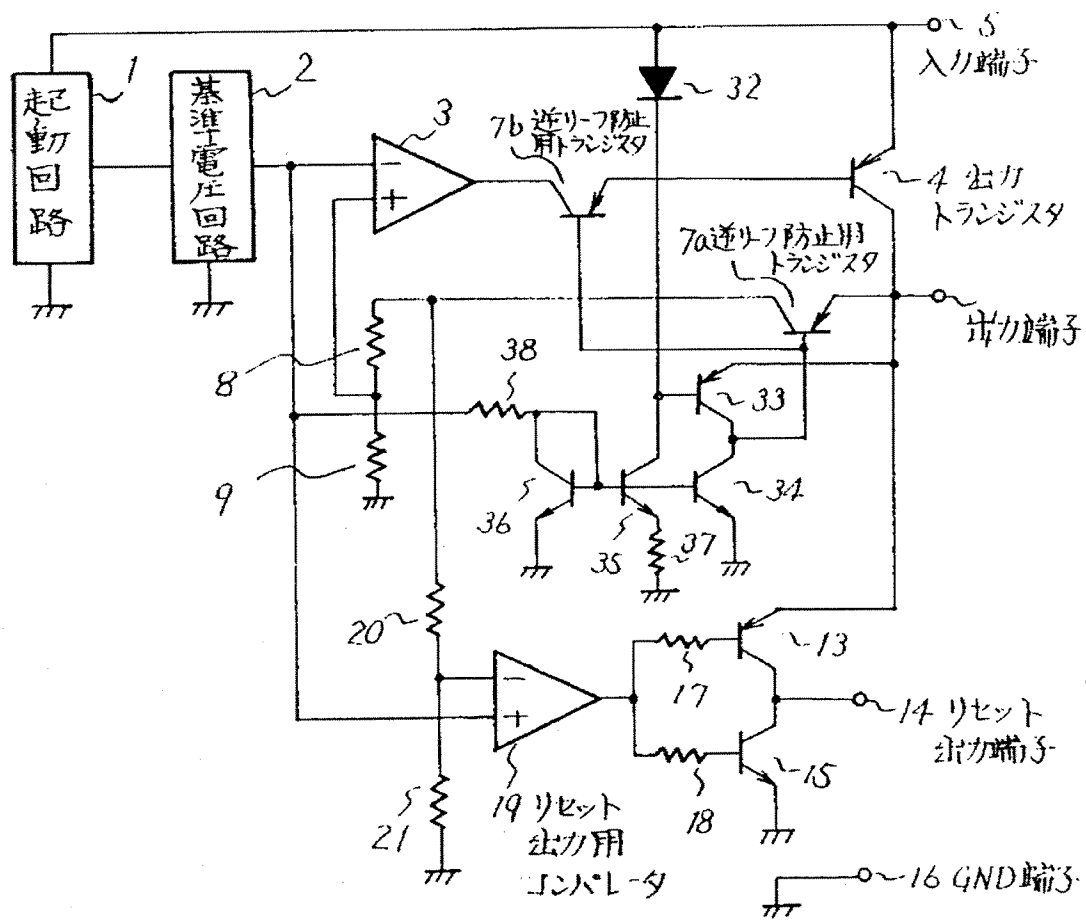


第 1 図

1015

実開 1-143285

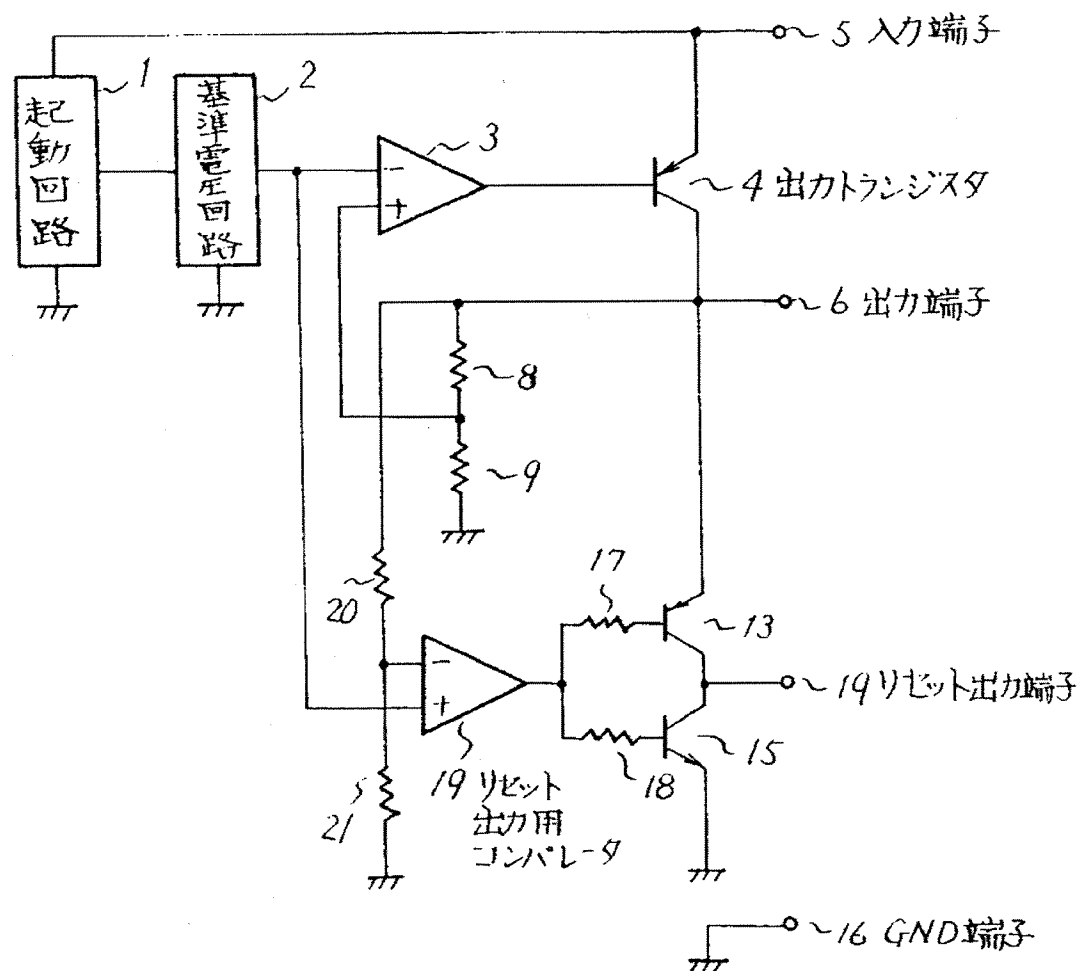
代理人 弁理士 内 原 晋



第 2 図

1016  
実開1-143285



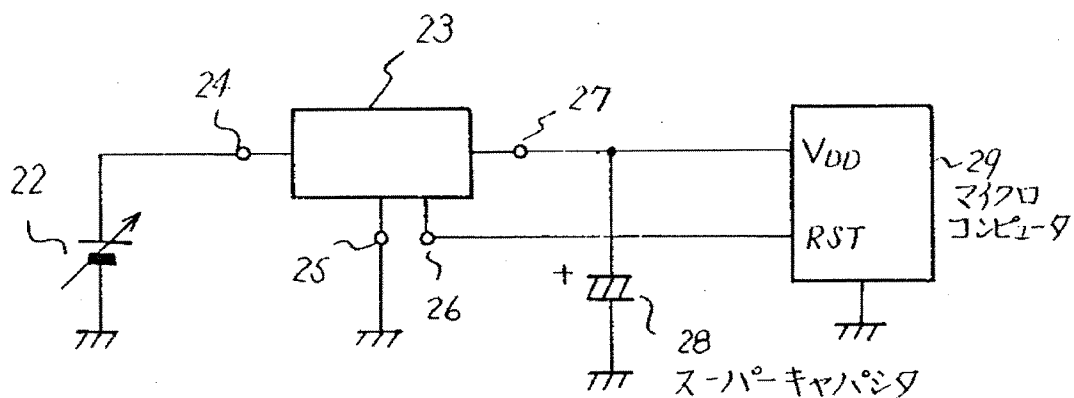


第 3 図

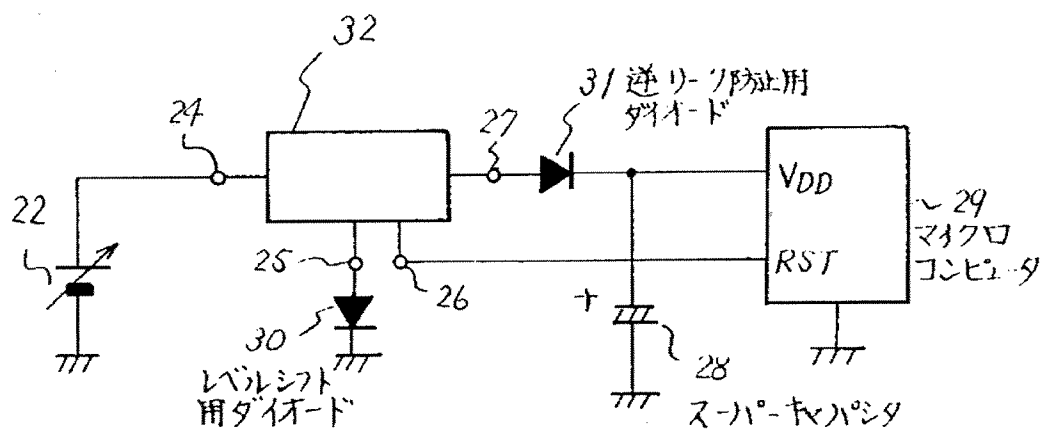
1017

実開1-14328

代理人 弁理士 内 原 晋



第 4 図

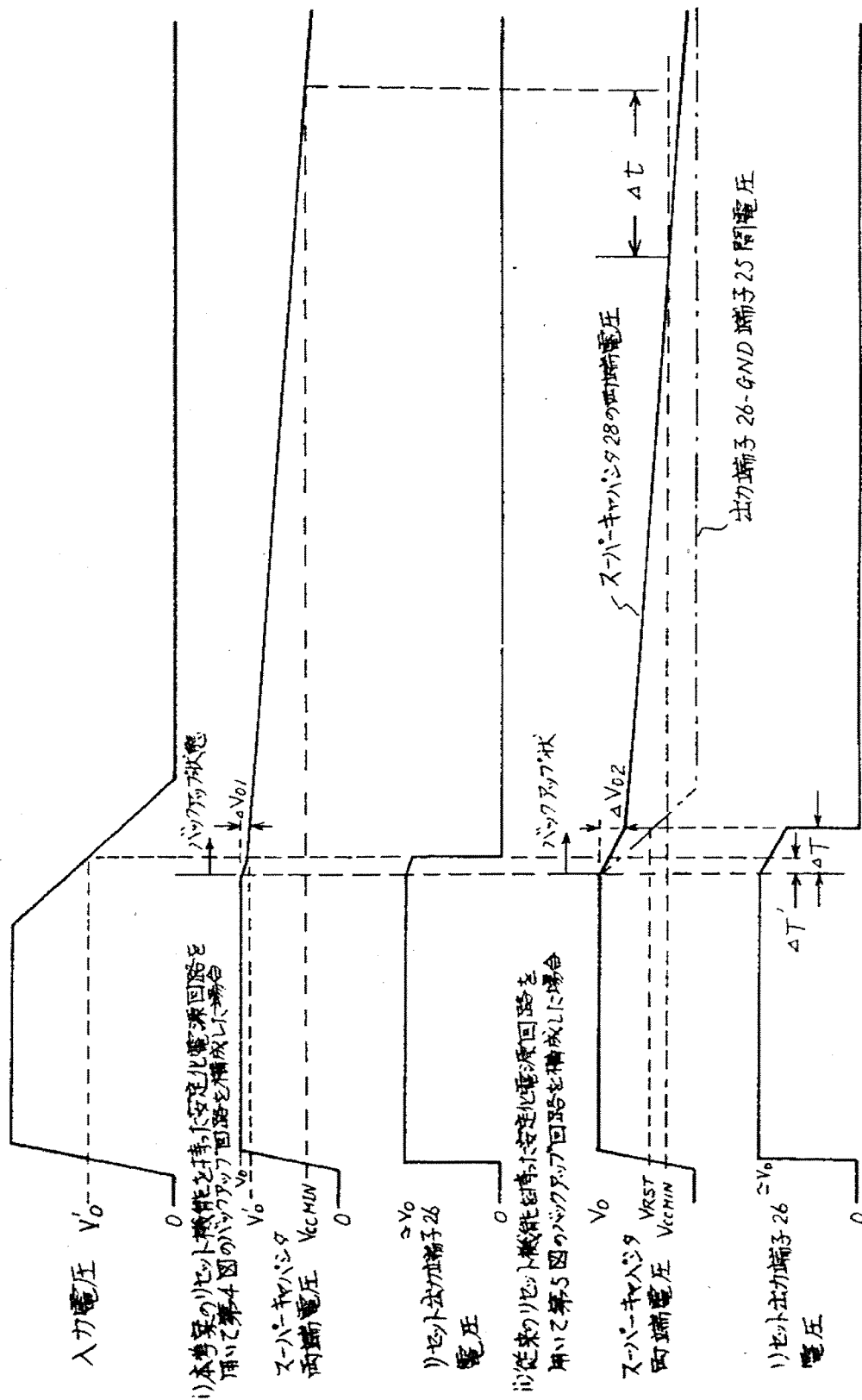


第 5 図

1018

実開1-143285

代理人 弁理士 内 匠 晋



第 6 図

代理人 会理士内 原 晋

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-158911

(43)Date of publication of application : 08.07.1991

(51)Int.Cl.

G05F 1/56

(21)Application number : 01-300011

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 17.11.1989

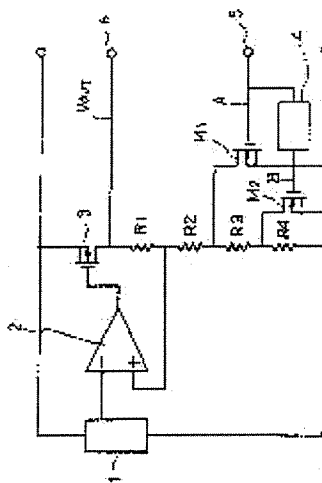
(72)Inventor : SUDO MINORU

## (54) VOLTAGE REGULATOR

### (57)Abstract:

**PURPOSE:** To reduce the overshoot and the undershoot of an output voltage generated at the time of switching the output voltage by giving a delay to an external signal for switching the output voltage, and switching stepwise the output voltage.

**CONSTITUTION:** The voltage regulator is provided with a reference voltage circuit 1, an error amplifier 2, an output transistor 3, and resistances R1, R2, and also, a resistance R3 is connected in series to the resistor R2, and a resistor R4 is connected in series to the resistor R3. Also, it is provided with a transistor M1 in which an output voltage switching terminal is connected to a gate, and a drain is connected to the connecting point of the resistor R2 and the resistor R3, and a transistor M2 in which a delaying circuit is connected to the output switching terminal and the output of the delaying circuit is connected to a gate, and a drain is connected to the connecting point of the resistor R3 and the resistor R4. In such a state, the delay is given to an external signal for switching an output voltage, and the output voltage is switched. In such a manner, the overshoot and the undershoot at the time of switching the output voltage are reduced.



## ⑫ 公開特許公報(A) 平3-158911

⑤Int. Cl.<sup>5</sup>

G 05 F 1/56

識別記号

3 1 0 D

庁内整理番号

8527-5H

⑬公開 平成3年(1991)7月8日

審査請求 未請求 請求項の数 1 (全5頁)

⑭発明の名称 ボルテージ・レギュレーター

⑯特 願 平1-300011

⑰出 願 平1(1989)11月17日

⑱発 明 者 須 藤 稔 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑳代 理 人 弁理士 林 敬之助

## 明 細 書

## 1. 発明の名称

ボルテージ・レギュレーター

## 2. 特許請求の範囲

基準電圧回路と、抵抗と誤差増幅器と、出力トランジスタとからなり、外部信号によって出力電圧が可変な、CMOSモノリシックIC化されたボルテージ・レギュレーターにおいて、前記出力電圧を変化させる外部信号に遅延を施し、段階的に出力電圧を変える手段を具備することを特徴としたボルテージ・レギュレーター。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、CMOSモノリシック化されたボルテージ・レギュレーターに関するものである。

## 〔発明の概要〕

本発明は、ボルテージ・レギュレーターの出力電圧を変化させる外部信号に遅延を施し、出力電

圧を段階的に変化させることで、出力電圧を切り換えた時に発生するオーバー・シュートや、アンダー・シュートの小さいボルテージ・レギュレーターを提供するものである。

## 〔従来の技術〕

従来の出力電圧値が切り換え可能なボルテージ・レギュレーターの回路図を第2図に示す。基準電圧回路1と抵抗 $R_1$ と $R_2$ と $R_3$ から取り出された電圧は、誤差増幅器2で比較され、出力トランジスタ3を制御する。つまり、抵抗 $R_1$ と $R_2$ と $R_3$ から取り出された電圧が、基準電圧より小さければ、誤差増幅器2の出力は低くなり、出力トランジスタ3を強くバイアスし、逆に抵抗 $R_1$ と $R_2$ と $R_3$ から取り出された電圧が、基準電圧より高ければトランジスタ3を弱くバイアスして出力端子6には一定の出力電圧が得られる。

該出力電圧値は、外部より出力電圧切り換え端子5に、ハイ・レベルあるいはロー・レベルの電圧を加えることで、トランジスタM<sub>1</sub>がON、OFFして抵抗 $R_3$ をショートするかあるいはしな

いかによって切り換える。

第2図のボルテージ・レギュレーターの場合、次のような問題点が生じる。

出力端子6の出力電圧を $V_{out}$ と呼ぶと、 $V_{out}$ は出力電圧切り換え端子5に加える電圧によって式(1)、式(2)のようになる。

$$V_{out1} = (R_1 + R_2) / R_2 \times V_{ref} \dots (1)$$

$$V_{out2} = (R_1 + R_2 + R_3) / (R_2 + R_3) \times V_{ref} \dots (2)$$

ここで、 $R_1$ 、 $R_2$ 、 $R_3$ は、それぞれ第2図の抵抗 $R_1$ 、 $R_2$ 、 $R_3$ の値であり $V_{ref}$ は、基準電圧回路1の出力電圧値である。また式(1)は、出力電圧切り換え端子5の電圧をハイ・レベルにした時の $V_{out}$ であり、式(2)は、出力電圧切り換え端子5の電圧をロー・レベルにした時の $V_{out}$ である。

このように、トランジスタ $M_2$ をON、OFFさせることにより出力電圧を切り換えることができる。

しかし、上記のような方法を用いて出力電圧を

切り換えると、誤差増幅器2の応答速度に限界があり遅延を生じるため、出力電圧に発生するオーバー・シュートやアンダー・シュートが大きいという課題があった。

〔課題を解決するための手段〕

本発明は、従来の技術の課題を解決することを目的とし、出力電圧が可変なボルテージ・レギュレーターにおいて、出力電圧切り換え時のオーバー・シュートやアンダー・シュートの小さいボルテージ・レギュレーターを提供できた。

具体的には、出力電圧を切り換える外部信号に遅延を施し、出力電圧を段階的に切り換えるようにした。

〔実施例1〕

以下、図面に従って本発明の一実施例を詳細に説明する。第1図は本発明の、出力電圧に生じるアンダー・シュートを抑えたボルテージ・レギュレーターの回路図である。基準電圧回路1、誤差増幅器2、出力トランジスタ3、及び、抵抗 $R_1$ 、 $R_2$ は第2図と同等である。→(4-1)

3

$$R_2 + R_4 = R_3 \dots (3)$$

第1図の、出力電圧を切り換える外部端子5の信号Aと遅延回路4を通った信号Bと、出力端子6の電圧 $V_{out}$ の電圧波形図を第3図に示す。

抵抗 $R_2$ と直列に抵抗 $R_4$ を結線し、該 $R_4$ に直列に抵抗 $R_3$ を結線する。抵抗 $R_2$ と $R_4$ の値は式(3)を満足するように決定する。さらに、出力電圧切り換え端子をゲートに結線し、ドレインを抵抗 $R_2$ と $R_4$ の接続点に結線したトランジスタ $M_1$ と、出力電圧切り換え端子に遅延回路を結線し該遅延回路の出力をゲートに結線し、ドレインを抵抗 $R_2$ と $R_4$ の接続点に結線したトランジスタ $M_2$ を具備している。

信号Aが、ハイ・レベルにある時、 $V_{out}$ は式(1)で与えられる電圧になる。信号Aが、ハイ・レベルからロー・レベルに切り換えると $V_{out}$ は、時間 $\Delta T$ の間、式(4)で与えられる電圧になる。

$$V_{out} = (R_1 + R_2 + R_3) / (R_2 + R_3) \times V_{ref} \dots (4)$$

4

この時、アンダー・シュート $\Delta V_1$ が生じるが、このアンダー・シュートによって $V_{out}$ が式(2)で与えられる $V_{out2}$ と同程度か、それよりも大きくなるように抵抗 $R_3$ の値を決定する。

信号Aが、遅延回路4を通して時間 $\Delta T$ 後に信号Bがハイ・レベルからロー・レベルに切り換わると、 $V_{out}$ は式(2)で与えられる電圧になる(式(3)より)。

この時、アンダー・シュート $\Delta V_2$ は第2図の従来のボルテージ・レギュレーターのアンダー・シュートの半分以下にである。

〔実施例2〕

第4図にオーバー・シュートを抑えたボルテージ・レギュレーターの回路図を示す。基準電圧回路1、誤差増幅器2、出力トランジスタ3、遅延回路4、及び、抵抗 $R_1$ 、 $R_2$ は第1図と同等である。→(6-1)

$$R_6 + R_7 = R_3 \dots (5)$$

第4図の、出力電圧を切り換える外部端子5の信号Aと遅延回路を通った信号Bと、出力端子6

の電圧  $V_{out}$  の電圧波形図を第5図に示す。

信号Aが、ロー・レベルにある時、 $V_{out}$  は式(2)で与えられる電圧になる(式(5)より)。信号Aが、ロー・レベルからハイ・レベルに切り換わると  $V_{out}$  は、時間  $\Delta T$  の間、式(6)で与えられる電圧になる。

$$V_{out} = (R_1 + R_2 + R_3) / (R_2 + R_3) \times V_{ref} \quad \dots (6)$$

この時、オーバー・シュート  $\Delta V_3$  が生じるが、このオーバー・シュートによって  $V_{out}$  が式(1)で与えられる  $V_{out1}$  と同程度か、それよりも小さくなるように抵抗  $R_3$  の値を決定する。

信号Aが遅延回路4を通して時間  $\Delta T$  後に、信号Bがロー・レベルからハイ・レベルに切り換わると  $V_{out}$  は式(1)で与えられる電圧になる。この時オーバー・シュート  $\Delta V_4$  は、第2図の従来のボルテージ・レギュレーターのオーバー・シュートの半分以下である。

抵抗  $R_2$  と直列に抵抗  $R_3$  を結線し、該  $R_3$  に直列に抵抗  $R_1$  を結線する。抵抗  $R_3$  と  $R_1$  の値

は式(5)を満足するように決定する。さらに出力電圧切り換え端子をゲートに結線し、ドレインを抵抗  $R_2$  と  $R_1$  の接続点に結線したトランジスタ  $M_4$  と、出力電圧切り換え端子に遅延回路を結線し該遅延回路の出力をゲートに結線し、ドレインを抵抗  $R_2$  と  $R_3$  の接続点に結線したトランジスタ  $M_3$  を具備している。

【発明の効果】

以上述べたように本発明によれば、出力電圧を切り換える外部信号に遅延を施し、出力電圧を段階的に切り換えることで、出力電圧切り換え時に発生する出力電圧のオーバーシュートやアンダー・シュートの小さいボルテージ・レギュレーターを提供できるという効果がある。

#### 4. 図面の簡単な説明

第1図は本発明のアンダー・シュートを抑えたボルテージ・レギュレーターの回路図、第2図は従来のボルテージ・レギュレーターの回路図、第3図は第1図の各部の電圧波形図、第4図は本発

7

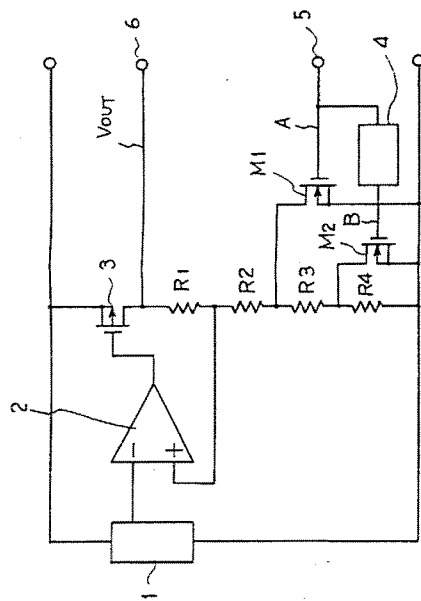
8

明のオーバー・シュートを抑えたボルテージ・レギュレーターの回路図、第5図は第4図の各部の電圧波形図である。

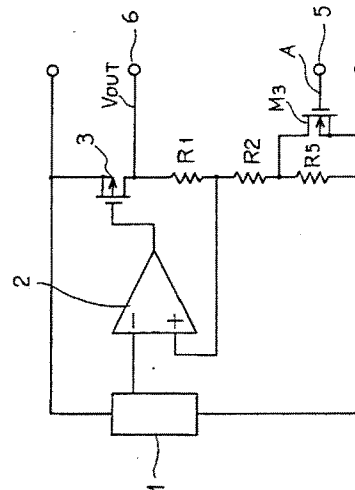
- 1・・・基準電圧回路
- 2・・・誤差増幅器
- 3・・・出力トランジスタ
- 4・・・遅延回路
- 5・・・出力電圧切り換え端子
- 6・・・出力端子

以 上

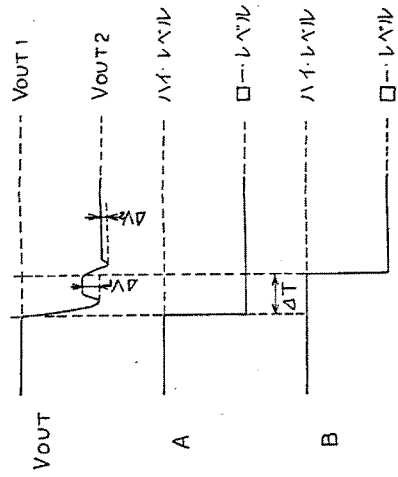
出願人 セイコー電子工業株式会社  
代理人 井理士 林 敬之助



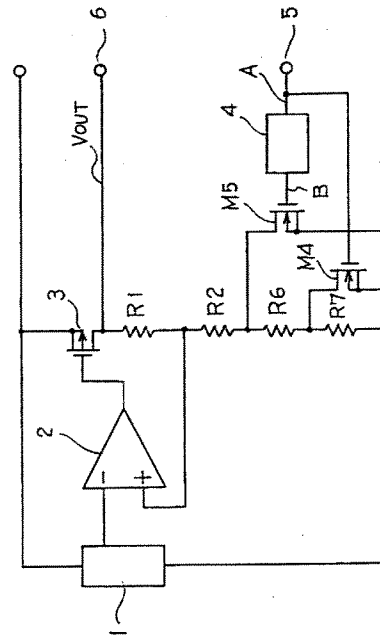
第 1 図



第 2 図

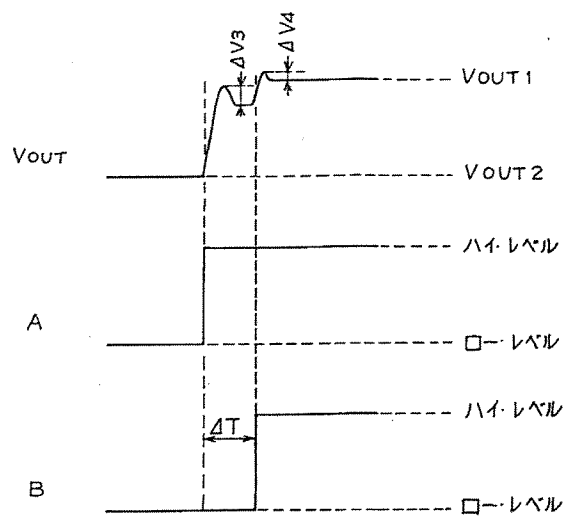


第 3 図



第 4 図





第 5 図